



At Docket No. OG03-035

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

Chang Hun HAN : GROUP ART UNIT:

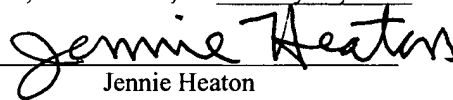
SERIAL NO: 10/751,190 :

FILED: December 30, 2003 : EXAMINER:

FOR: Method for Manufacturing SONOS Flash Memory Device

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 22, 2004.

By:


Jennie Heaton

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0087292	December 30, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



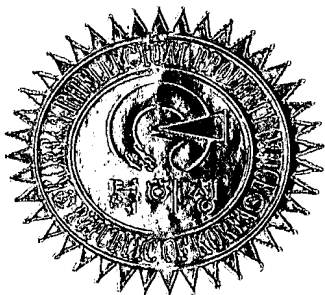
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087292
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

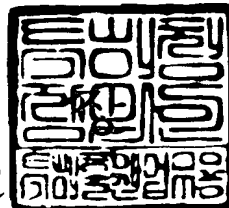
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO.,LTD.



2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0019
【제출일자】	2002.12.30
【발명의 명칭】	에스오엔오에스 플래쉬 메모리 소자의 제조방법
【발명의 영문명칭】	Method of manufacturing SONOS flash memory device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	한창훈
【성명의 영문표기】	HAN, Chang Hun
【주민등록번호】	700614-1480918
【우편번호】	467-010
【주소】	경기도 이천시 창전동 49-1 현대1차아파트 101동 605호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 SONOS 플래쉬 메모리 소자의 제조방법을 개시한다. 개시된 본 발명의 조방법은, 소자분리막이 구비된 반도체 기판 상에 하부 산화막, 터널 질화막, 희생 산화막 및 하드마스크용 절연막을 차례로 형성하는 단계와, 상기 희생 산화막을 노출시키도록 하드마스크용 절연막을 식각하는 단계와, 상기 식각된 하드마스크용 절연막의 측벽에 스페이서를 형성하는 단계와, 상기 스페이서를 포함한 하드마스크용 절연막을 식각 마스크로 사용해서 하부 산화막이 노출되도록 희생 산화막과 터널 질화막을 식각하는 단계와, 상기 식각 마스크로 사용된 스페이서를 포함한 하드마스크용 절연막과 희생 산화막을 차례로 제거하는 단계와, 상기 식각된 터널 질화막을 식각 마스크로 사용해서 기판이 노출되도록 하부 산화막을 식각하는 단계와, 상기 기판 결과물 상에 상부 산화막과 게이트용 폴리실리콘막을 차례로 증착하는 단계와, 상기 게이트용 폴리실리콘막과 상부 산화막 및 터널 질화막을 차례로 식각하여 분리된 터널 질화막을 갖는 게이트를 형성하는 단계를 포함한다. 본 발명에 따르면, 터널 질화막을 분리시킴으로써 상기 터널 질화막 내에서의 전자 이동을 완전히 차단시킬 수 있으며, 이에 따라, 오동작을 방지할 수 있는 바, 소자 특성 및 신뢰성을 확보할 수 있다.

【대표도】

도 7f

【명세서】

【발명의 명칭】

에스오엔오에스 플래쉬 메모리 소자의 제조방법{Method of manufacturing SONOS flash memory device}

【도면의 간단한 설명】

도 1은 종래 싱글 타입 플래쉬 메모리 소자를 사용하여 표시되는 상태들을 도시한 그래프.

도 2 및 도 3은 종래 SONOS 플래쉬 메모리 소자를 사용하여 표시되는 상태들의 개략적인 소자 구성도 및 표시되는 상태들을 도시한 그래프.

도 4는 종래 SONOS 플래쉬 메모리 소자의 셀 어레이를 도시한 평면도.

도 5는 도 4의 A-A' 선에 따라 절단하여 도시한 단면도.

도 6은 도 4의 B-B' 선에 따라 절단하여 도시한 단면도.

도 7a 내지 도 7f는 본 발명의 실시예에 따른 SONOS 플래쉬 메모리 소자의 제조방법을 설명하기 위한 공정별 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

70 : 반도체 기판	71 : 하부 산화막
72 : 터널 절화막	73 : 희생 산화막
74 : 하드마스크용 절연막	75 : 제1감광막 패턴
76 : 스페이서	77 : 상부 산화막
78 : 게이트용 폴리실리콘막	79 : 제2감광막 패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 비휘발성 메모리 소자의 제조방법에 관한 것으로서, 보다 상세하게는, SONOS 플래쉬 메모리 소자(Silicon-Oxide-Nitride-Oxide-Semiconductor Flash Memory Device)와 같은 비휘발성 메모리 소자의 제조방법에 관한 것이다.
- <14> 최근, 반도체 메모리 소자가 고용량화됨에 따라 비휘발성 메모리 소자의 중요성이 크게 대두되고 있다. 상기 비휘발성 메모리 소자의 예로서는 플래쉬 메모리 소자를 들 수 있다.
- <15> 종래의 플래쉬 메모리 소자는 하나의 셀당 하나의 게이트 구조물을 갖는 싱글 타입(single type)으로 형성되며, 도 1에 도시된 바와같이, 상태 '1' 과 상태 '0' 의 2가지 상태를 표시한다.
- <16> 그런데, 상기 싱글 타입의 플래쉬 메모리 소자는 그 자체로 우수하기는 하나, 최근의 고집적도 요구를 만족시키지 못한다.
- <17> 이에 따라, 하나의 셀당 적어도 둘 이상의 게이트 구조물을 갖는 멀티 비트 셀(multi bit cell)이 제안되었다. 또한, 이와 같은 멀티 비트 셀을 구현하기 위해서 SONOS(silicon-oxide-nitride-oxide-semiconductor) 구조가 제안되었다.
- <18> 상기 SONOS 구조의 플래쉬 메모리 소자는 일종의 트랜지스터로서, 반도체 기판 상에 비휘발성 절연물질로서 산화막-질화막-산화막의 ONO막이 형성되고, 그 위에 실리콘 게이트가 형성되며, 게이트 양측으로는 소오스 및 드레인 전극이 형성된 구조를 갖는다.

- <19> 이러한 SONOS 플래쉬 메모리 소자는, 도 2에 도시된 바와 같이, 전자의 주입 위치가 어디에 있느냐에 따라 트랜지스터의 턴-온(Turn-On) 전류량을 조절할 수 있으며, 도 3에 도시된 바와 같이, 상태 '11', 상태 '10', 상태 '01' 및 상태 '00'의 4가지 상태를 표시할 수 있는 바, 최근의 고집적도 요구를 어느 정도 만족시킬 수 있다.
- <20> 이하에서는 SONOS 플래쉬 메모리 소자를 보다 상세하게 설명하도록 한다.
- <21> 도 4는 종래 SONOS 플래쉬 메모리 소자의 셀 어레이를 도시한 평면도이고, 도 5는 도 4의 A-A' 선에 따라 절단하여 도시한 단면도이며, 도 6은 도 4의 B-B' 선에 따라 절단하여 도시한 단면도이다. 도 4 내지 도 6에서, 도면부호 40은 반도체 기판, 42는 소자분리막, 43 및 45는 산화막, 44는 질화막, 46은 게이트, 그리고, 50은 기판 액티브 영역을 각각 나타낸다.
- <22> 도시된 바와 같이, 셀은 대칭 구조를 가지며, 게이트의 양측 중 어느 한 쪽이 소오스 영역이 되고 다른 한 쪽은 드레인 영역이 된다. 이와 같은 SONOS 플래쉬 메모리 소자는 다른 비휘발성 메모리 소자와 마찬가지로 읽기(read), 쓰기(program) 및 지우기(erase)의 세가지 동작을 한다.
- <23> 상기 쓰기 동작의 경우, 게이트와 드레인에 임의의 쓰기 전압이 인가되면 핫 전자(Hot electron)가 형성되고, 이러한 핫 전자는 터널링(tunneling)에 의해 드레인에 가까운 부근의 터널 질화막에 포획되어 존재하게 되며, 이에 따라, 트랜지스터의 문턱전압이 높아져 데이터 쓰기가 이루어진다.
- <24> 상기 지우기 동작의 경우, 게이트와 드레인 및 소오스를 오픈시킨 상태로 기판에 지우기 전압이 인가됨에 따라 터널 질화막에 포획되었던 핫 전자가 기판으로부터 밀어내지며, 이에 따라, 문턱전압이 낮아져 데이터 지우기가 이루어진다.

- <25> 상기 읽기 동작의 경우, 게이트에 읽기 전압이 인가되면 소오스 및 드레인 사이에 흐르는 전류를 센싱회로를 이용하여 감지함으로써 데이터 읽기가 이루어진다.
- <26> 그러나, 종래의 SONOS 플래쉬 메모리 소자는 질화막이 부도체이기는 하나, 상기 질화막 내에서의 전자의 이동을 완전히 막을 수 없는 바, 셀 오동작이 유발되는 문제점이 있다. 이것은 어느 한 쪽에 포획된 전자가 다른 한 쪽으로 이동하게 되는 것에 의한 결과이다.
- <27> 결국, 종래의 SONOS 플래쉬 메모리 소자는 터널 질화막 내에서의 전자 이동으로 인해 그 특성 및 신뢰성을 확보할 수 없다.

【발명이 이루고자 하는 기술적 과제】

- <28> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해서 안출된 것으로서, 터널 질화막 내에서의 포획된 전자의 이동을 방지할 수 있는 SONOS 플래쉬 메모리 소자의 제조방법을 제공함에 그 목적이 있다.
- <29> 또한, 본 발명은 포획된 전자의 이동을 방지함으로써 소자 특성 및 신뢰성을 확보할 수 있는 SONOS 플래쉬 메모리 소자의 제조방법을 제공함에 그 다른 목적이 있다.

【발명의 구성 및 작용】

- <30> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 소자분리막이 구비된 반도체 기판 상에 하부 산화막, 터널 질화막, 희생 산화막 및 하드마스크용 절연막을 차례로 형성하는 단계; 상기 희생 산화막을 노출시키도록 하드마스크용 절연막을 식각하는 단계; 상기 식각된 하드마스크용 절연막의 측벽에 스페이서를 형성하는 단계; 상기 스페이서를 포함한 하드마스크용 절연막을 식각 마스크로 사용해서 하부 산화막이 노출되도록 희생 산화막과 터널 질화막을 식각하는 단계; 상기 식각 마스크로 사용된 스페이서를 포함한 하드마스크용 절연막과 희생 산화막

을 차례로 제거하는 단계; 상기 식각된 터널 질화막을 식각 마스크로 사용해서 기판이 노출되도록 하부 산화막을 식각하는 단계; 상기 기판 결과물 상에 상부 산화막과 게이트용 폴리실리콘막을 차례로 증착하는 단계; 및 상기 게이트용 폴리실리콘막과 상부 산화막 및 터널 질화막을 차례로 식각하여 분리된 터널 질화막을 갖는 게이트를 형성하는 단계를 포함하는 SONOS 플래쉬 메모리 소자의 제조방법을 제공한다.

<31> 여기서, 상기 하드 마스크용 절연막은 TEOS 계열의 산화막 또는 질화막으로 이루어진다.

<32> 상기 스페이서는 TEOS 계열의 산화막 또는 질화막으로 이루어지며, 터널 질화막의 노출 폭이 $0.020 \sim 0.5 \mu\text{m}$ 가 되도록 형성한다.

<33> 본 발명의 방법에 있어서, 상기 터널 질화막의 분리 폭은 스페이서의 폭으로 조절한다.

<34> 본 발명에 따르면, 터널 질화막을 분리시킴으로써 상기 터널 질화막 내에서의 전자 이동을 완전히 차단시킬 수 있으며, 이에 따라, 오동작을 방지할 수 있는 바, 소자 특성 및 신뢰성을 확보할 수 있다.

<35> (실시예)

<36> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<37> 도 7a 내지 도 7f는 본 발명의 실시예에 따른 SONOS 플래쉬 메모리 소자의 제조방법을 설명하기 위한 공정별 단면도이다.

<38> 도 7a를 참조하면, 소자분리막(도시안됨)이 구비된 반도체 기판(70) 상에 하부 산화막(71), 터널 질화막(72) 및 희생 산화막(73)을 차례로 형성한 후, 상기 희생 산화막(73) 상에

하드마스크용 절연막(74)을 증착한다. 여기서, 상기 하드마스크용 절연막(74)으로서는 TEOS 계열의 산화막, 또는, 질화막이 적용 가능하다.

<39> 이어서, 상기 하드마스크용 절연막(74) 상에 공지의 공정에 따라 듀얼 비트 셀(Dual Bit cell)이 형성되는 영역을 노출시키는 제1감광막 패턴(75)을 형성한다. 그런다음, 상기 제1감광막 패턴(75)을 식각 마스크로 사용해서 그 아래의 하드마스크용 절연막(74)을 희생 산화막(73)이 노출되도록 건식 식각한다.

<40> 도 7b를 참조하면, 제1감광막 패턴을 제거한다. 그런다음, 기판 결과물 상에 제1절연막을 증착한 후, 상기 제1절연막을 전면 식각하여 식각된 하드마스크용 절연막(74)의 측벽에 스페이서(76)를 형성한다. 여기서, 상기 제1절연막으로서는 희생 절연막(74)과 마찬가지로 TEOS 계열의 산화막 또는 질화막이 적용 가능하다.

<41> 상기 스페이서(76)는 듀얼 비트를 안정적으로 구현하기 위해 질화막을 분리함에 있어서 리소그래피 공정의 최소 디파인(define) 영역 크기 보다 훨씬 더 작게 디파인하기 위해 형성해 준 것이다.

<42> 그 다음, 스페이서(76)를 포함한 하드마스크용 절연막(74)을 식각 마스크로 사용해서 하부 산화막(71)이 노출되도록 희생 산화막(73) 및 터널 질화막(72)을 식각하고, 이를 통해, 상기 터널 질화막(72)을 분리시킨다. 이때, 상기 스페이서(76)에 의해 한정되는 터널 질화막(72)의 분리 폭은 $0.020 \sim 0.5 \mu\text{m}$ 정도로 함이 바람직하며, 따라서, 터널 질화막(72)의 식각 전, 상기 터널 질화막(72)의 노출 폭은 상기과 동일하게 $0.020 \sim 0.5 \mu\text{m}$ 정도가 되도록 한다.

<43> 도 7c를 참조하면, 공지의 공정에 따라 식각 마스크로서 사용된 스페이서 및 하드마스크용 절연막을 식각 제거한다.

- <44> 도 7d를 참조하면, 희생 산화막을 식각 제거한 후, 식각된 터널 질화막(72)을 식각 마스크로 사용해서 기판(70)이 노출되도록 하부 산화막(71)을 식각한다. 그런다음, 노출된 기판 부분 및 터널 질화막(72) 상에 상부 산화막(77)을 증착한 후, 상기 상부 산화막(77) 상에 게이트용 폴리실리콘막(78)을 증착한다.
- <45> 도 7e를 참조하면, 게이트용 폴리실리콘막(78) 상에 게이트 형성용 제2감광막 패턴(79)을 형성한다. 그런다음, 상기 제2감광막 패턴(79)을 식각 마스크로 사용해서 하부 산화막(71)이 노출되도록 게이트용 폴리실리콘막(78)과 상부 산화막(77) 및 터널 질화막(72)을 식각하고, 이를 통해, 게이트(80)를 형성한다.
- <46> 도 7f를 참조하면, 제2감광막 패턴을 제거한다. 그런다음, 공지의 소오스/드레인 이온주입을 행하여 터널 질화막(72)이 분리된 구조의 SONOS 플래쉬 메모리 셀을 형성한다.
- <47> 이후, 도시하지는 않았으나, 공지된 일련의 후속 공정을 진행하여 본 발명에 따른 SONOS 플래쉬 메모리 소자를 완성한다.
- <48> 상기와 같은 본 발명에 따르면, 터널 질화막이 분리된 구조를 가지므로 상기 터널 질화막 내에 포획된 전자가 한 쪽에서 다른 한 쪽으로 이동되는 현상은 방지될 수 있으며, 따라서, 소자의 오동작을 방지할 수 있게 된다.

【발명의 효과】

- <49> 이상에서와 같이, 본 발명은 터널 질화막을 분리시킴으로써 상기 터널 질화막 내에서의 전자 이동을 완전히 차단시킬 수 있으며, 이에 따라, 오동작을 방지할 수 있는 바, 소자 특성 및 신뢰성을 확보할 수 있다.

- <50> 또한, 본 발명은 스페이서를 이용하여 터널 절화막의 분리 간격을 자유롭게 조절할 수 있으므로, 셀 사이즈(cell size)의 감소를 얻을 수 있다.
- <51> 게다가, 본 발명은 터널 산화막을 분리시키므로, 동일한 물리적 셀 사이즈에 전기적으로는 4개의 메모리 셀을 갖는 SONOS 플래쉬 메모리 소자를 구현할 수 있다.
- <52> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

소자분리막이 구비된 반도체 기판 상에 하부 산화막, 터널 절화막, 희생 산화막 및 하드 마스크용 절연막을 차례로 형성하는 단계;

상기 희생 산화막을 노출시키도록 하드마스크용 절연막을 식각하는 단계;

상기 식각된 하드마스크용 절연막의 측벽에 스페이서를 형성하는 단계;

상기 스페이서를 포함한 하드마스크용 절연막을 식각 마스크로 사용해서 하부 산화막이 노출되도록 희생 산화막과 터널 절화막을 식각하는 단계;

상기 식각 마스크로 사용된 스페이서를 포함한 하드마스크용 절연막과 희생 산화막을 차례로 제거하는 단계;

상기 식각된 터널 절화막을 식각 마스크로 사용해서 기판이 노출되도록 하부 산화막을 식각하는 단계;

상기 기판 결과물 상에 상부 산화막과 게이트용 폴리실리콘막을 차례로 증착하는 단계;
및

상기 게이트용 폴리실리콘막과 상부 산화막 및 터널 절화막을 차례로 식각하여 분리된 터널 절화막을 갖는 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 SONOS 플래쉬 메모리 소자의 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 하드 마스크용 절연막은 TEOS 계열의 산화막 또는 절화막인 것을 특징으로 하는 SONOS 플래쉬 메모리 소자의 제조방법.

【청구항 3】

제 1 항에 있어서, 상기 스페이서는 TEOS 계열의 산화막 또는 질화막으로 이루어진 것을 특징으로 하는 SONOS 플래쉬 메모리 소자의 제조방법.

【청구항 4】

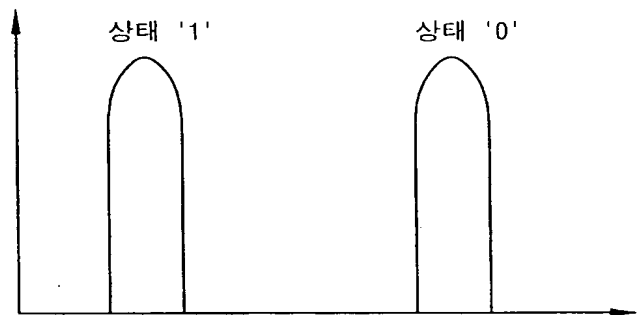
제 1 항 또는 제 3 항에 있어서, 상기 스페이서는 터널 질화막의 노출 폭이 $0.020 \sim 0.5 \mu\text{m}$ 가 되도록 형성하는 것을 특징으로 하는 SONOS 플래쉬 메모리 소자의 제조방법.

【청구항 5】

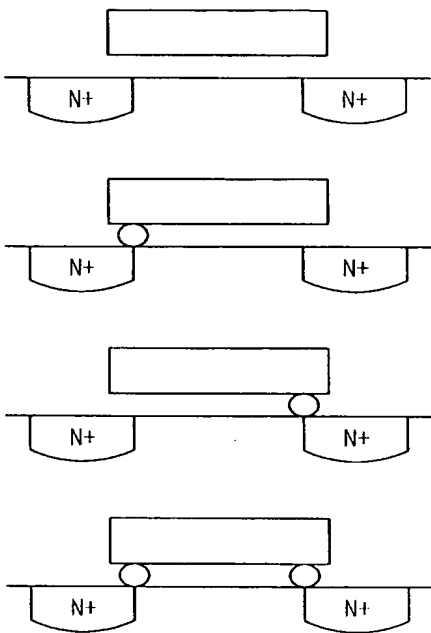
제 1 항에 있어서, 상기 터널 질화막의 분리 폭은 상기 스페이서의 폭으로 조절하는 것을 특징으로 하는 SONOS 플래쉬 메모리 소자의 제조방법.

【도면】

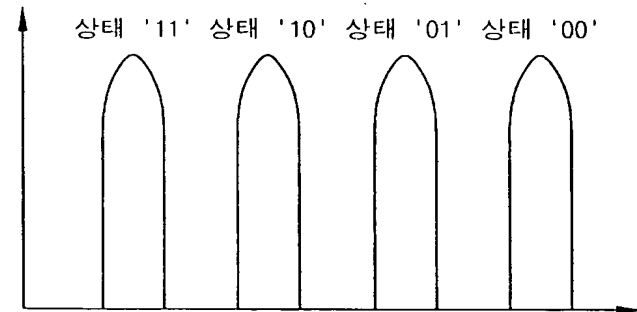
【도 1】



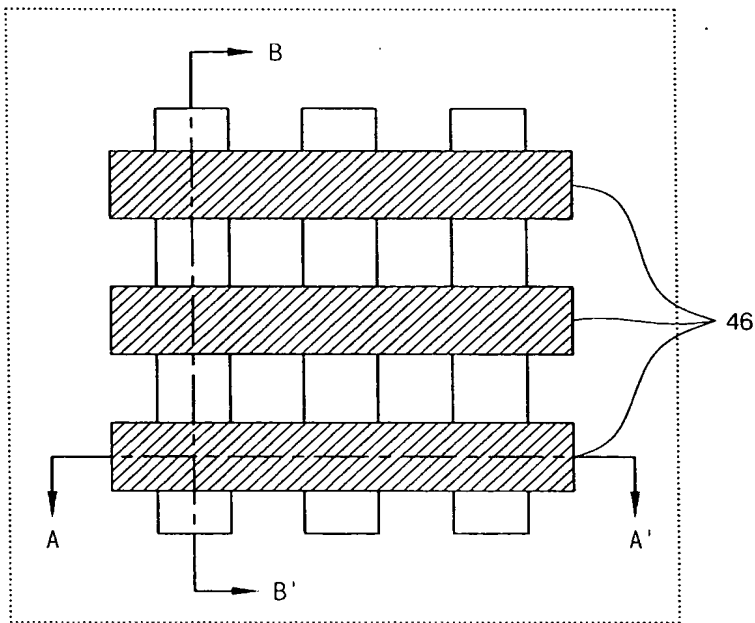
【도 2】



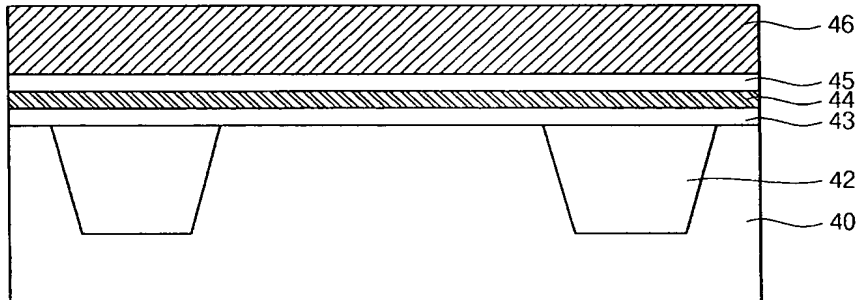
【도 3】



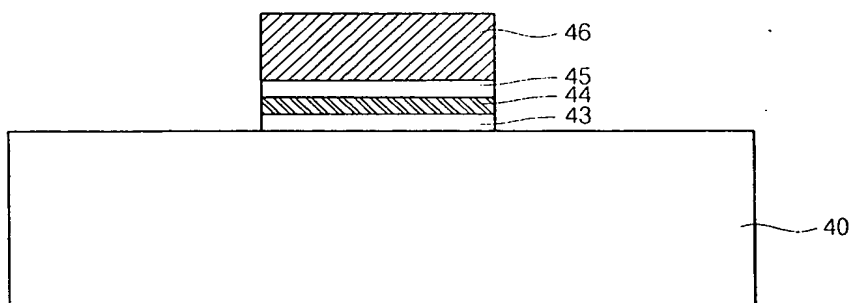
【도 4】



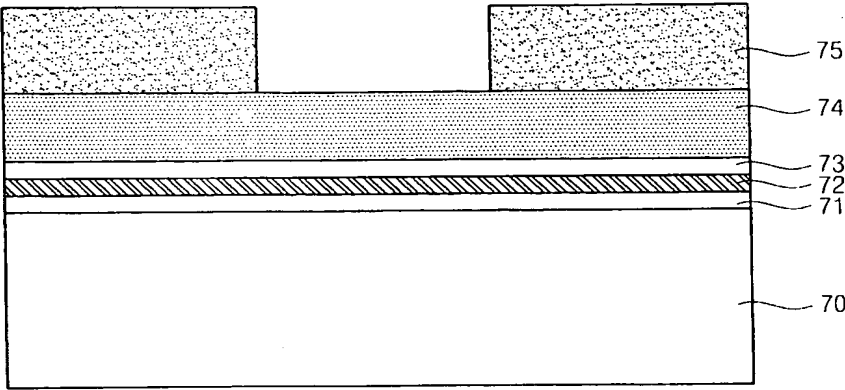
【도 5】



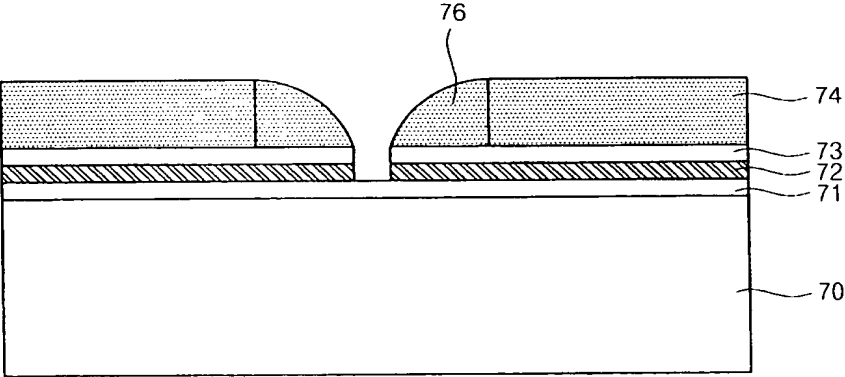
【도 6】



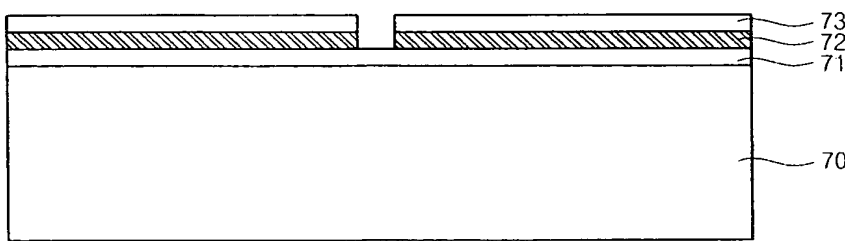
【도 7a】



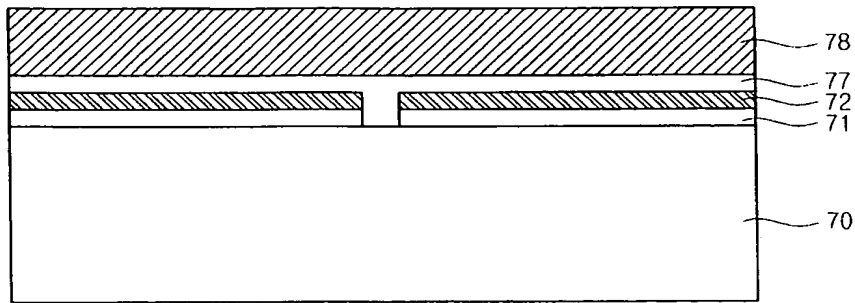
【도 7b】



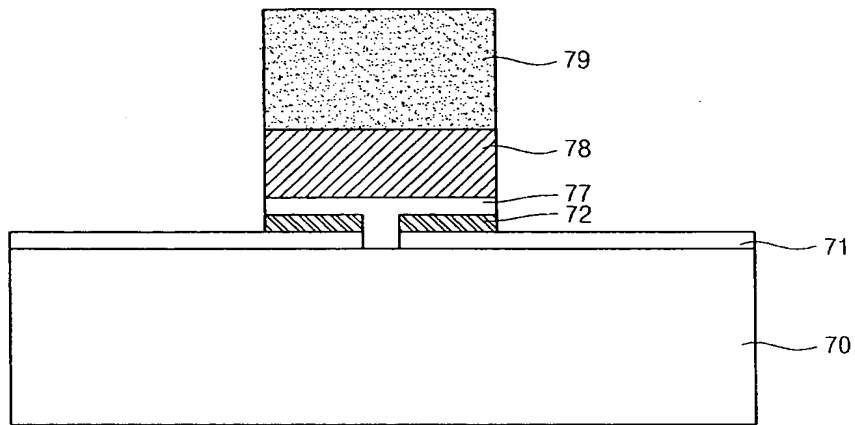
【도 7c】



【도 7d】



【도 7e】



【도 7f】

